

PATENT
81784.021
Express Mail Label No. EL 539 009 945 U.S.
09/604301
06/26/00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yusuke TSUTSUI, et al.

Serial No: Not assigned

Filed: June 26, 2000

For: SIGNAL PROCESSING CIRCUIT FOR
DISPLAY DEVICE

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Box PATENT APPLICATION
Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith are the certified copies of Japanese patent application No. 11-179936 filed June 25, 1999, 11-179937 filed June 25, 1999, and 11-179938 filed June 25, 1999, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: 

Louis A. Mok
Registration No. 22,585
Attorney for Applicant(s)

Date: June 26, 2000

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC834 U.S.P.T.O.
09/604301
06/26/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 6月25日

出願番号
Application Number:

平成11年特許願第179938号

出願人
Applicant(s):

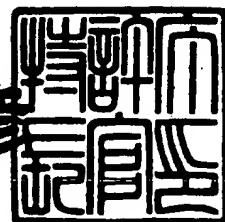
三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 5月12日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3034502



【書類名】 特許願
【整理番号】 KHB0991050
【提出日】 平成11年 6月25日
【あて先】 特許庁長官殿
【国際特許分類】 H04N 3/14
【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
会社内
【氏名】 筒井 雄介
【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
会社内
【氏名】 小林 貢
【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
会社内
【氏名】 北川 誠
【特許出願人】
【識別番号】 000001889
【氏名又は名称】 三洋電機株式会社
【代表者】 近藤 定男
【代理人】
【識別番号】 100109368
【弁理士】
【氏名又は名称】 稲村 悅男
【連絡先】 電話 03-5684-3268 法務・知的財産部駐
在
【選任した代理人】
【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 表示装置の制御回路

【特許請求の範囲】

【請求項1】 デジタル映像信号が入力され、該デジタル映像信号を所定数に分割し、これに基づいて表示を行う領域を水平方向に前記所定数の領域に分割して制御を行う制御回路であって、

前記デジタル映像信号を所定の規則に従って分割する分割部と、

該分割されたデジタル映像信号をそれぞれ記憶する複数のメモリ部と、

該メモリ部の出力を変換して、表示装置の制御信号を出力するドライバとを有し、

隣り合う2つの領域に対応する前記分割されたデジタル映像信号が前記複数のメモリ部のうちの2つに入力されると共に、これら2つのメモリ部の一方からは入力順に前記デジタル映像信号が出力され、他方からは入力順とは逆順に前記デジタル映像信号が出力されることを特徴とする表示装置の制御回路。

【請求項2】 前記それぞれの読み出しラインメモリは、最初に入力された映像信号が記憶されているアドレスと、最後に入力された映像信号が記憶されているアドレスとにそれぞれ出力端子を有し、

前記複数の出力端子のうちのひとつを選択するセレクタを更に有することを特徴とする請求項1に記載の表示装置の制御回路。

【請求項3】 前記入力順に出力する読み出しラインメモリの出力で制御される前記表示領域は正スキャンを行い、前記さかのぼって順に出力する読み出しラインメモリの出力で制御される表示領域は逆スキャンを行うことを特徴とする請求項1に記載の表示装置の制御回路。

【請求項4】 前記セレクタに鏡像信号が入力されると、前記セレクタは前記メモリ部の選択順序を変更することによって、鏡像表示を行うことを特徴とする請求項2に記載の表示装置の制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】



本発明は、例えば液晶表示装置（Liquid Crystal Display；LCD）のような、デジタル映像信号を基に各画素を制御して表示を行う表示装置の制御回路に関するものであり、特にデジタル映像信号を水平方向に多相分割して表示を行う表示装置の制御回路に関する。

【0002】

【従来の技術】

以下に従来の表示装置の例として、アクティブマトリクスLCDの制御回路について説明する。図12は従来のLCD及びその駆動回路のブロック図である。従来の駆動回路は、映像信号が入力されるドライバ101、垂直方向に伸びる複数のデータ線102、水平方向に伸びる複数のゲート線103、データ線102のうちの一本を順に選択するデータ線セレクタ104、ゲート線103のうちの一本を順に選択し、これにゲート電圧を印加するゲートドライバ105、データ線102とゲート線103の格子点にそれぞれ薄膜トランジスタ（Thin Film Transistor；TFT）106と共に形成された画素電極107、ドライバ101に接続された共通線108、ゲートがデータ線セレクタ104に接続されたTFT109を有している。

【0003】

ドライバ101にはデジタル信号である映像信号が外部から入力され、これを一時的に保存（バッファ）して、デジタルアナログ変換（DA変換）するなどして、各画素の画素電極に印加する画素電圧を順次出力する。ゲートドライバ105は1水平走査期間毎に一本のゲート線103を選択してゲート電圧を印加し、その行のTFT106を導通状態にする。データ線セレクタ104は複数接続されたTFT109のうちの一つを選択し、データ線102のうちの一本をアクティブにして画素電圧をデータ線104に印加する。これによって、選択されたデータ線102とゲート線103の交点にあるTFT106を介して、これに接続された画素電極に画素電圧が印加される。そして、シフトクロックがハイになると、データ線セレクタ104は、次のデータ線102を選択し、これに画素電圧を印加する。以下同様に、データ線セレクタ104は1水平走査期間の間に左端のデータ線から順に選択し、シフトクロックがハイになるたびに次の画素を選択



していき、ドライバ101はそれぞれの画素に印加する画素電圧を順次出力する。

【0004】

近年のLCDの表示画素数の増加と高精細化に伴って、1水平走査期間の間に書き込まなければならない画素数が増加している。例えばVGAでは水平方向の画素数は640画素であったが、SXGAでは1280画素と2倍になっている。この時、同じ垂直ライン数であれば1水平期間の長さは変化しないので、画素数が増加すると、シフトクロックの周波数は高くなり、ひとつの画素あたりに電圧を印加するのにかけられる時間は減少する。更に垂直ライン数が増加すると1水平期間そのものも短縮される。しかし、ドライバ101の動作速度には上限があり、また、液晶の応答速度にも上限がある。

【0005】

これに対し、一行分の映像信号を複数に分割して複数の画素電極に並列して電圧印加する制御方法が提案されている。以下にこの例として映像信号を2相に分割する制御方法について説明する。

【0006】

図13は2相に分割するLCDの制御回路のブロック図である。この制御回路は、マルチプレクサ121と2段ドライバ122を有し、データ線セレクタ123は一度に2本のデータ線を選択するよう構成されている点が図12の制御回路と異なる。

【0007】

外部より入力される映像信号は、マルチプレクサ121によって1画素毎交互に2相に分割されて2段ドライバ122に入力される。2段ドライバ122は2画素分のデータを同時に処理して2画素分の画素電圧を出力する。データ線セレクタ123は隣り合うTFT109を同時に選択し、データ線102のうちの隣り合う2本を同時にアクティブにし、2つの画素電圧を同時に印加する。例えばデータ線セレクタ123は、まず1列目と2列目のデータ線を選択する。2段ドライバ122は1列目と2列目の画素電圧を出力し、この画素電極に画素電圧が印加される。次に、シフトクロック2周期の後、データ線セレクタ123は、3

列目と4列目のデータ線を同時に選択し、2段ドライバ122は3列目と4列目の画素電圧を出力する。以下、同様にして2画素ずつ電圧印加していく。このように、複数の画素電極に同時に電圧印加して制御することで、シフトクロック複数周期の間画素電圧を印加し続けることができ、画素数が増加しても画素電圧印加時間を充分に確保することができる。

【0008】

また、表示領域を水平方向にいくつかに分割して、複数の画素に並列して電圧印加する制御方法が提案されている。以下にこの例として表示領域を水平2分割する制御方法について説明する。

【0009】

図14は水平2領域に分割するLCDの制御回路のブロック図である。この制御回路は、マルチプレクサ131とメモリ部132、2段ドライバ133を有し、データ線セレクタ134は一度に2本のデータ線を選択するよう構成されている点が図12の制御回路と異なる。

【0010】

外部より入力される1行分の映像信号は、マルチプレクサ131に入力される。マルチプレクサ131は、映像信号のうち前半のデータ、即ち画面左半分のデータをメモリ部132に出力し、メモリ部132はこれを一時的に保存する。メモリ部132は、後半のデータ即ち画面右側半分のデータに同期して前半のデータを2段ドライバ133に出力する。2段ドライバ133は前半、後半それぞれのデータを基に、画素電圧V1及びV2を出力する。

【0011】

データ線セレクタ134はデータ線135のうちの2本を同時に選択し、2つの画素電圧を同時に印加する。例えばデータ線セレクタ123は、まず1列目と右半分の最初のデータ線、例えば水平800画素のLCDであれば401列目のデータ線134aを選択する。2段ドライバ122は1列目と401列目の画素電圧を出力し、この画素電極に画素電圧が印加される。次にデータ線セレクタ134は、2列目と402列目のデータ線を同時に選択し、2段ドライバ133は2列目と402列目の画素電圧を出力する。以下、同様にして2画素ずつ電圧印



加していく。この制御方法によっても、同様に複数の画素電極に同時に電圧印加して制御することで、シフトクロック複数周期の間画素電圧を印加し続けることができ、画素数が増加しても画素電圧印加時間を充分に確保することができる。

【0012】

このように、映像信号を多相に分割して、複数の画素に同時に画素電圧を印加することによって、画素数が増加しても画素電圧の印加時間を確保することができるようになる。

【0013】

【発明が解決しようとする課題】

上述したような、様々な駆動方法や、様々な画素数の表示装置に対応するために、それぞれ別個の制御回路が製造されている。しかしながら、それぞれの駆動方法や画素数毎に異なる制御回路を生産すると、ひとつひとつの種類の制御回路は、生産量が少なくなり、結果としてそれぞれの制御回路の製造コストが高くなるという問題が生じる。

【0014】

本発明は、上述したような水平複数領域に分割してLCDを駆動する制御回路であって、動作が効率的で、かつ汎用性に富んだ制御回路を提供することをその目的とする。

【0015】

【課題を解決するための手段】

本発明は上記課題を解決するためになされ、デジタル映像信号が入力され、デジタル映像信号を所定数に分割し、これに基づいて表示を行う領域を水平方向に所定数の領域に分割して制御を行う制御回路であって、デジタル映像信号を所定の規則に従って分割する分割部と、分割されたデジタル映像信号をそれぞれ記憶する複数のメモリ部と、メモリ部の出力を変換して、表示装置の制御信号を出力するドライバとを有し、メモリ部は、分割されたデジタル映像信号がシリアルに入力される所定ワード数の書き込みラインメモリと、書き込みラインメモリの内容がパラレルに転送される書き込みラインメモリと同じワード数を有する読み出しラインメモリと、読み出しラインメモリの所定のアドレスに接続された出力

端子とを有し、それぞれのメモリ部にはそれぞれ異なる部分の分割されたデジタル映像信号が入力され、互いに隣り合う部分の分割されたデジタル映像信号が入力される2つのメモリ部では、一方のメモリ部の読み出しラインメモリは、メモリ部に最初に入力されたデジタル映像信号から入力順に出力し、もう一方のメモリ部の読み出しラインメモリは、メモリ部に最後に入力されたデジタル映像信号からさかのぼって順に出力する表示装置の制御回路である。

【0016】

また、それぞれの読み出しラインメモリは、最初に入力された映像信号が記憶されているアドレスと、最後に入力された映像信号が記憶されているアドレスとにそれぞれ出力端子を有し、複数の出力端子のうちのひとつを選択するセレクタを更に有する。

【0017】

また、入力順に出力する読み出しラインメモリの出力で制御される表示領域は正スキヤンを行い、さかのぼって順に出力する読み出しラインメモリの出力で制御される表示領域は逆スキヤンを行う。

【0018】

また、セレクタに鏡像信号が入力されると、セレクタはメモリ部の選択順序を変更することによって、鏡像表示を行う。

【0019】

【発明の実施の形態】

まず、第1の実施形態として水平800画素のSVGAパネルを、水平2領域分割で単相の、合計2相分割で制御する制御回路について説明する。図1(a)、図1(b)は水平2領域2相分割を行うための制御回路のブロック図である。本実施形態の制御回路は、入力信号を水平走査期間の前半と後半とに2分割する分割部としての第1のマルチプレクサ1、前半の信号が入力される第1のメモリ部2、後半の信号が入力される第2のメモリ部3、第1、第2のメモリ部それぞれの出力を統合して出力する第2のマルチプレクサ4、2つの信号が同時に入力され、これをバッファ、デジタルアナログ変換を行う2段ドライバ5を有する。

【0020】



第1、第2のメモリ部2、3はそれぞれシリアルで入力される第1の記憶装置としての書き込みラインメモリ2a、3aと、書き込みラインメモリのデータがパラレルに入力され、シリアルで出力する第2の記憶装置としての読み出しラインメモリ2b、3bを有する。

【0021】

映像信号がマルチプレクサ1に入力されると、マルチプレクサ1は1行分の映像信号のうち、各水平走査期間の前半の信号、即ち画面左半分の第1の領域に表示される400画素分の映像信号を第1のメモリ部2の書き込みラインメモリ2aに順次出力する。書き込みラインメモリは、400ワードの容量を有するラインメモリであり、入力信号はまず1番のアドレスに書き込まれる。本明細書において、ラインメモリとは、所定数の記憶領域が直列して配置されているのを指す。そして、次の信号が入力されると、1番のアドレスに書き込まれた信号は、隣の2番のアドレスに転送され、換わって次の信号が1番のアドレスに書き込まれる。以下同様に、新たに信号が入力される度に記憶された信号は次の番号のアドレスに転送されていく、シリアル入力がなされる。400画素分の映像信号が入力されると、書き込みラインメモリ2aの記憶領域は全て書き込まれる。次に、マルチプレクサ1に水平走査期間の後半の信号、即ち画面右半分の第2の領域に表示される400画素分の映像信号が入力され始め、マルチプレクサ1は、これを第2のメモリ部3の書き込みラインメモリ3aにシリアルに順次出力する。書き込みラインメモリ2a、3aにそれぞれ400画素分の信号が入力され、400番のアドレスまで信号が入力されると、書き込みラインメモリ2a、3aは、全ての記憶内容を読み出しラインメモリ2b、3bにパラレルに転送する。読み出しラインメモリ2bは書き込みラインメモリ2aと同じワード数（本実施形態では400ワード）を有し、書き込みラインメモリ2aのそれぞれのアドレスは、読み出しラインメモリ2bの同じ番号のアドレスに接続されており、各アドレスを同時に転送する。この転送は水平ブランкиング期間の間に行われ、転送が終了した後、次の行の映像信号がマルチプレクサ1に入力され始めると、同様の処理を繰り返す。

【0022】



一方、読み出しラインメモリ2 b、3 bに記憶されたデータは、それぞれの第400アドレスのデータがA-Out1、B-Out1の出力端子からマルチプレクサ4に出力され、シリアルに2段ドライバ5に入力される。Out-1（ここで、Out-1とは、A-Out1とB-Out1との総称であるとする。）は400アドレスに接続された出力端子である。ドライバは、メモリ部から出力されたデータを基に表示装置の制御信号を生成する回路である。第400アドレスのデータが出力されることによって第1～第399のアドレスのデータはひとつずつ次の番号のアドレスに転送される。2段ドライバ5は2画素分のデータをバッファして、デジタルアナログ変換を行う等して、A-Out1の出力に従う電圧V1を、B-Out1の出力に従う電圧V2をそれぞれ制御信号として、選択された画素電極に出力する。

【0023】

図2は水平2領域2相分割のLCDを示している。データ線セレクタ11は800本の出力端子のうち2つをハイにし、縦方向に伸びるデータ線12のうちの2本を同時に選択するセレクタである。ゲートドライバ13は複数のゲート線14のうちの1本を選択し、これにゲート電圧を印加するドライバである。今、ゲート線14aと、データ線12a、12Aが選択されているとする。今、V1とV2は、それぞれのラインメモリの第1アドレスに記憶されていたデータである。図1の制御回路の出力V1は、データ線12aを介して1列目の画素（以降n列目の画素を画素nと表記する場合がある）に印加され、もう一つの出力V2はデータ線12Aを介して画素401に印加される。

【0024】

次に、シフトクロック2周期の後、再び読み出しラインメモリ2 b、3 bの第400アドレスのデータを読み出し、ドライバ5に入力する。この時第400アドレスに書き込まれているデータは、パラレル転送直後には第399アドレスに書き込まれていたデータである。そして、第400アドレスのデータが読み出されることによって、第2～第399のアドレスのデータがひとつ転送される。出力された第400アドレスのデータに基づいて再びV1、V2がドライバ5から出力される。図2で、データ線セレクタ11は、シフトクロック2周期の後、データ線12b及び12Bに切り換えて選択している。これによって、2列目と4

02列目の画素に電圧が印加される。

【0025】

以下同様にして、3列目と403列目、4列目と404列目のように電圧印加していき、400列目と800列目の画素に電圧が印加されると1行の電圧印加が終了する。その後、水平同期信号が出力されてゲートドライバが次の行のゲート線14bを選択して書き込みを継続する。

【0026】

次に、第1の実施形態におけるメモリ部2、3の役割について述べる。映像信号は連続的に図1の制御回路に入力される。これを画面を左右2つの領域に分割して電圧印加するために、メモリ部2、3に一時的に保存することによって、1列目の画素と401列目の画素に印加するデータを同時にドライバ5に出力することができる。また、書き込みラインメモリにはシリアルに入力し、読み出しラインメモリにはパラレルに転送するので、データの書き込みに関して遅延なく行うことができる。

【0027】

次に、図3のタイミング図を用いて読み出しラインメモリ2b、3bからの読み出し動作をより具体的に説明する。まずタイミングAまで、書き込みラインメモリ2a、3aから読み出しラインメモリ2b、3bへのパラレル転送が完了しており、読み出しラインメモリ2b、3b合わせて1水平ライン分の画素データが記憶されているとする。タイミングAでシフトクロックがハイになると読み出しラインメモリ2bに入力される2b読み出しクロックがハイになる。すると読み出しラインメモリ2bは画素1のデータを出力する。この時、メモリ選択信号はハイになっており、図1のマルチプレクサ4は読み出しラインメモリ2bの出力を選択しており、マルチプレクサ4からは画素1のデータが出力される。次に一旦ローとなったシフトクロックが再びハイになるタイミングBにおいて、読み出しラインメモリ3bに入力される3b読み出しクロックがハイになる。すると読み出しラインメモリ3bは画素401のデータを出力する。メモリ選択信号はタイミングBでローになっており、マルチプレクサ4は読み出しラインメモリ3bを選択し、このデータを出力する。次に一旦ローとなったシフトクロックが



再びハイになるタイミングCにおいて、2'b読み出しクロックがハイになり、同様にマルチプレクサ4からは画素2のデータが出力される。また、制御電圧V1として画素1、V2として画素401のデータに応じた電圧がドライバ5より出力される。V1、V2の出力は、シフトクロック2周期の間継続して出力される。以下、図3に図示したように、同様に読み出し動作が継続する。

【0028】

次に第2の実施形態として水平1600画素のUXGAパネルを、水平4領域分割で単相の、合計4相分割で制御する制御回路について説明する。図4(a)と図4(b)は水平4領域4相分割を行うための制御回路のブロック図である。映像信号を4分割する第1のマルチプレクサ21、分割された映像信号がそれぞれ入力される第1～第4のメモリ部22、23、24、25、各メモリ部それぞれの出力を統合して出力する第2のマルチプレクサ26、これをバッファ、デジタルアナログ変換を行う4段ドライバ27を有する。各メモリ部は図1のメモリ部2、3と同様の構成である。

【0029】

映像信号が入力されるとマルチプレクサ21は最初の400画素分、即ち画面左1/4の第1の領域の映像信号を第1のメモリ部22に、次の400画素分、即ち画面中央左側の第2の領域の映像信号を第2のメモリ部23に、次の400画素分、即ち画面中央右側の第3の領域の映像信号を第3のメモリ部24に、次の400画素分、即ち画面右1/4の第4の領域の映像信号を第4のメモリ部25にそれぞれ分割して出力する。各書き込みラインメモリ22a、23a、24a、25aそれにシリアル入力され、水平ブランкиング期間中にこれを読み出しラインメモリ22b、23b、24b、25bにパラレル転送する。それぞれの第1アドレスのデータがA-Out、B-Out、C-Out、D-Outの出力端子から順次マルチプレクサ26に出力され、シリアルに4段ドライバ27に入力される。4段ドライバ27は4画素分のデータをバッファして、デジタルアナログ変換を行う等して画素電極に印加する電圧V1、V2、V3、V4を出力する。

【0030】

図5は水平4領域4相分割のLCDを示している。データ線セレクタ15は1



600本のデータ線のうち4本を同時に選択するセレクタである。ゲートドライバ13はゲート線14のうちの1本を選択し、これにゲート電圧を印加するドライバである。今、ゲート線14aと、4本のデータ線12aが選択されているとする。図1の制御回路が出力した制御信号である画素電圧V1は、データ線12aを介して1列目の画素に、出力V2は401列目の画素に、V3は801列目の画素に、V4は1201列目の画素にそれぞれ印加される。

【0031】

次に、図4のマルチプレクサ26は、再び読み出しラインメモリ22b、23b、24b、25bの第400アドレスのデータ（パラレル転送直後には第399アドレスに書き込まれていたデータである）を読み出し、4段ドライバ27に入力する。図5で、データ線セレクタ15は、シフトクロック4周期の後、4本のデータ線12bに切り換えて選択している。これによって、画素2、画素402、画素802、画素1202に電圧が印加される。

【0032】

以下同様にして、電圧印加ていき、画素400、画素800、画素1200、画素1600に電圧が印加されると1行の電圧印加が終了する。その後、水平同期信号が出力されてゲートドライバが次のゲート線14bを選択して書き込みを継続する。

【0033】

次に第3の実施形態として水平800画素のS V G Aパネルを、水平2領域分割で3相の、合計6相分割で制御する制御回路について説明する。図1(a)、図1(c)は水平2領域6相分割を行うための制御回路のブロック図である。読み出しラインメモリからのデータ出力の方法と、6段ドライバ7を有する点とが第1の実施形態と異なる。

【0034】

映像信号がマルチプレクサ1に入力されると、第1の実施形態と同様にして書き込みラインメモリ2aに水平走査期間の前半の、書き込みラインメモリ3aに後半の映像信号がそれぞれ記憶され、それぞれ読み出しラインメモリ2b、3bにパラレルに転送される。マルチプレクサ6は、読み出しラインメモリ2bの第

1から第3アドレスのデータをシリアルに読み出し、続いて読み出しラインメモリ3bの第1から第3アドレスのデータをシリアルに読み出して6段ドライバ7に出力する。6段ドライバ7は入力された6画素分のデータを基に画素電圧V1～V6を生成し、出力する。

【0035】

図6は水平2領域6相分割のLCDを示している。データ線セレクタ16は800本のデータ線のうちの6本を同時に選択するセレクタである。ゲートドライバ13は複数のゲート線14のうちの1本を選択し、これにゲート電圧を印加するドライバである。今、ゲート線14aと、出力端子12a、12Aに接続された6本のデータ線が選択されているとする。図1(c)の制御回路が出力したV1、V2、V3はそれぞれデータ線12aを介して1、2、3列目の画素に、V4、V5、V6はデータ線12Aを介して401、402、403列目の画素に印加される。

【0036】

次に、図1(c)のマルチプレクサ6は、再び読み出しラインメモリ2b、3bの第1～第3アドレスのデータ（パラレル転送直後には第4～第6アドレスに書き込まれていたデータ）を読み出し、6段ドライバ7に入力され、これに基づいて再びV1～V6がドライバ7から出力される。図6で、データ線セレクタは、シフトクロック6周期の後、データ線12b及び12Bに切り換えて選択している。これによって、4、5、6列目と404、405、406列目の画素に電圧が印加される。

【0037】

以下同様にして電圧印加ていき、400列目と800列目の画素に電圧が印加されると1行の電圧印加が終了する。その後、水平同期信号が出力されてゲートドライバが次のゲート線14bを選択して書き込みを継続する。

【0038】

次に、図7のタイミング図を用いて読み出しラインメモリ2b、3bからの読み出し動作をより具体的に説明する。まずタイミングAまでで、書き込みラインメモリ2a、3aから読み出しラインメモリ2b、3bへのパラレル転送が完了



しており、読み出しラインメモリ 2 b、3 b 合わせて 1 水平ライン分の画素データが記憶されているとする。タイミング A、B、C でシフトクロックがハイになると、読み出しラインメモリ 2 b に入力される 2 b 読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ 2 b は画素 1、2、3 のデータを順次出力する。この間、メモリ選択信号は継続的にハイになっており、図 1 (c) のマルチプレクサ 6 は読み出しラインメモリ 2 b の出力を選択しており、マルチプレクサ 6 からは画素 1、2、3 のデータが順次出力される。次にシフトクロックがハイになるタイミング D、E、Fにおいて、読み出しラインメモリ 3 b に入力される 3 b 読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ 3 b は画素 401、402、403 のデータを出力する。この間、メモリ選択信号は継続的にローになっており、マルチプレクサ 6 は読み出しラインメモリ 3 b を選択し、このデータを出力する。次にタイミング Gにおいて、2 b 読み出しクロックがハイになり、同様にマルチプレクサ 6 からは画素 4 のデータが出力される。また、図示しないが、タイミング G からは、制御電圧 V1、V2、V3、V4、V5、V6 として画素 1、2、3、401、402、403 のデータに応じた電圧がドライバ 7 より出力される。V1～V6 の出力は、シフトクロック 6 周期の間継続して出力される。以下、同様に読み出し動作が継続する。

【0039】

ところで、LCD の水平画素数は、上記以外にも、水平 640 画素の VGA や、水平 1024 画素の XGA 等画素数の異なるものがある。これらひとつひとつに異なる画素数の LCD を制御するためには、書き込み及び読み出しラインメモリのワード数（アドレスの総数）をその画素数にあわせて形成すればよい。つまり、VGA で水平 2 領域に分割制御するのであれば、ラインメモリのワード数はその 1/2 の 320 ワード、XGA で水平 4 領域に分割制御するのであれば、その 1/4 の 256 ワードとすればよいのである。

【0040】

しかし、それら画素数の異なる LCD ごとに制御回路をつくると、ひとつひとつの生産量が少なくなり、それぞれの制御回路の製造コストが高くなる。制御回



路に汎用性を持たせ、異なる画素数のLCDに対して同じ制御回路を用いてこれを制御できれば、制御回路の生産量が多くなり、製造コストを抑制することができる。

【0041】

このために、図1の読み出しラインメモリはそれぞれ第2、第3の出力端子Out2、Out3を有している。（ここで例えばOut1は、A-Out1とB-Out1の総称である。）Out1～Out3の出力端子は、その出力端子が接続されているアドレスより小さい番号のアドレスのデータをシリアルに出力する。そして、図1（d）に示すように、マルチプレクサ4と読み出しラインメモリ2b、3bとの間にセレクタ8a、8bを設け、各出力端子のうちのひとつを選択し、アクティブにする。マルチプレクサは入力されるデータを統合し、ドライバは上述した2段、6段、もしくはそれ以外の段数のドライバである。セレクタ8a、8bはLCDに組み込まれる前に、組み込まれるLCDの画素数や制御方法にあわせて何れか一つの出力端子を選択するように設定される。

【0042】

第1の出力端子Out1は上述した実施形態の出力端子として用いる出力端子であって、ラインメモリ2b、3bの400ワード全てを使用する場合の出力端子である。第1の実施形態のように、水平800画素のSVGAを水平2領域分割する場合や、第2の実施形態のように、水平1600画素のUXGAを水平4領域分割する場合は出力端子Out1を用いる。

【0043】

第2の出力端子Out2は、ラインメモリの第320アドレスより出力する。即ちこの場合に用いるラインメモリのワード数は320ワードであり、第321アドレスから第400アドレスまでのメモリ領域は使用しない。水平640画素のVGAを水平2領域分割する場合や、水平1280画素のSXGAを水平4領域分割する場合には出力端子Out2を用いる。

【0044】

第3の出力端子Out3は、ラインメモリの第256アドレスより出力する。即ち、この場合に用いるラインメモリのワード数は256ワードであり、第257



アドレスから第400アドレスまでのメモリ領域は使用しない。水平1024画素のXGAを水平4領域分割する場合には出力端子Out3を用いる。

【0045】

出力端子の位置は上記の例に限らない。例えば800画素のSVGAを水平4領域分割するのであれば必要なワード数は200ワードであるので、この場合は第200アドレスに出力端子を設ける。その他、必要性が想定される全てのアドレスに出力端子を設けておけばよい。

【0046】

また、ラインメモリの総ワード数は400ワードに限るものではない。例えばXGAを水平2領域分割する場合にはラインメモリの総ワード数は512ワードが必要である。このためには総ワード数が512ワードのラインメモリが必要である。そして、この途中に同様の出力端子を複数設ければよい。

【0047】

出力端子を設ける位置は、必要に応じて任意のアドレスに接続すればよいが、例えばSXGAの1/4と、VGAの1/2とは同じ320であるし、UXGAの1/4と、SVGAの1/2とは同じ400である。また、コンピュータなどで映像信号を処理する場合、256画素がひとつの目安となる。つまり、現在の表示装置の規格は、256、320、400のいずれかの倍数であることが多く、今後もそれが踏襲されると考えられる。従って、256、320、400画素分のデータを記憶できるだけのワード数を備えるようなアドレスに出力端子を設けることによって、様々な水平画素数の表示装置に対応できる可能性が高くなり、より汎用性の高い制御回路とすることが可能となる。本明細書においてラインメモリのワード数を400とした意義はこの点にある。即ち、400ワードをラインメモリのワード数としておけば、上述の256、320、400画素のいずれの画素数にも柔軟に対応することができる。また、256の倍、512画素を単位として画素数が設定されることもしばしばある。従って、ラインメモリのワード数は例えば512とすれば、上記のいずれの画素数にも対応できる。ただし言うまでもなく、ワード数を増やせばそれだけ回路面積が増大することになるため、ラインメモリのワード数は必要最小限にとどめておくほうがよい。



【0048】

また、セレクタ8a、8bを設ける代わりに、不要な出力端子をレーザ照射などによって破壊してもよい。

【0049】

ところで、図8(a)に示すように、水平2領域分割すると、それぞれ左端の画素から順に電圧を印加する。(以下左から右へ順にスキャンする方向を正スキャン、右から左を逆スキャンと呼ぶ。) 2つの領域で正スキャンを行うと左領域は画面中央の画素に最後に、逆に右領域は画面中央の画素に最初に電圧を印加する。この印加時間差によって画面中央に輝度差が生じ、表示品質を低下させる。そこで図8(b)や図8(c)に示すように左右どちらかの領域を逆スキャンすることによって画面中央と同じタイミングで電圧印加すると、この輝度差が現れなくなる。

【0050】

このために、図1(a)の読み出しラインメモリはそれぞれOut4を有している。Out4は、読み出しラインメモリの1番目のアドレスから出力する出力端子である。Out4からの出力は、Out1~Out3とは逆に、1番目のアドレスから逆順にシリアルに出力される。そして、図1(d)のセレクタ8a、8bがOut1~Out4いずれかの出力端子を選択する。セレクタ8a、8bがOut4を選択した場合、それに応じてデータ線セレクタは、逆順に画素を選択する。

【0051】

水平2領域で3相の6相分割のLCDの制御を例に、図1(a)(d)、図9を用いて説明する。今、セレクタ8aはA-Out1を、セレクタ8bはB-Out4をそれぞれ選択しているとする。映像信号がマルチプレクサ1に入力されると、第1の実施形態と同様にして書き込みラインメモリ2aに前半の、書き込みラインメモリ3aに後半の映像信号が記憶され、それぞれ読み出しラインメモリ2b、3bに転送される。マルチプレクサ9は、それぞれの読み出しラインメモリ2b、3bから3画素分のデータをそれぞれ読み出す。ここで、読み出しラインメモリ2bからは、第400、399、398番目のアドレスのデータが読み出され、読み出しラインメモリ3bからは、第1、2、3番目のデータが読み出される。こ



これらのデータを基にドライバ10が順にV1～V6の画素電圧を生成し、図9のLCDに出力する。データ線セレクタ16'は、左端及び右端の12a、12Aに接続された6本のデータ線を選択している。これによって、12aに接続された3本のデータ線を介して読み出しラインメモリ2bの第400、399、398番目のアドレスのデータから生成されたV1、V2、V3が、それぞれ1、2、3列目の画素電極に印加される。また、12Aに接続された3本のデータ線を介して、読み出しラインメモリ3bの第1、2、3番目のアドレスのデータから生成されたV6、V5、V4が、それぞれ800、799、798列目の画素電極に印加される。

【0052】

そして、シフトクロック6周期の後、再び読み出しラインメモリ2bの第400、399、398番目のアドレスのデータ（パラレル転送直後は397、396、395番目のアドレス）と、読み出しラインメモリ3bの第1、2、3番目のアドレスのデータ（同4、5、6番目）が読み出され、これらを基に生成された画素電圧が、12b及び12Bに接続された6本のデータ線を介して、4、5、6、897、896、895列目の画素電極に印加される。

【0053】

以下同様に繰り返すことで、図8(c)の表示制御を行うことができる。

【0054】

図8(b)の表示制御は、図1(d)のセレクタ8aがA-Out4を、セレクタ8bがB-Out1をそれぞれ選択すれば、ほぼ同様にして行うことができる。

【0055】

次に、図10のタイミング図を用いて、逆スキャンを行う場合の読み出しラインメモリ2b、3bからの読み出し動作をより具体的に説明する。まずタイミングAまでで、書き込みラインメモリ2a、3aから読み出しラインメモリ2b、3bへのパラレル転送が完了しており、読み出しラインメモリ2b、3b合わせて1水平ライン分の画素データが記憶されているとする。タイミングA、B、Cでシフトクロックがハイになると、読み出しラインメモリ2bに入力される2b読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると



読み出しラインメモリ2 bは画素1、2、3のデータを順次出力する。この間、メモリ選択信号は継続的にハイになっており、図1 (d) のマルチプレクサ9は読み出しラインメモリ2 bの出力を選択しており、マルチプレクサ9からは画素1、2、3のデータが順次出力される。次にタイミングD、E、Fにおいて、読み出しラインメモリ3 bに入力される3 b読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ3 bは画素800、799、798のデータを出力する。この間、メモリ選択信号は継続的にローになっており、マルチプレクサ6は読み出しラインメモリ3 bを選択し、このデータを出力する。次にタイミングGにおいて、2 b読み出しクロックがハイになり、同様にマルチプレクサ6からは画素4のデータが出力される。また、図示しないが、タイミングGからは、制御電圧V1、V2、V3、V4、V5、V6として画素1、2、3、800、799、798のデータに応じた電圧がドライバ7より出力される。V1～V6の出力は、シフトクロック6周期の間継続して出力される。以下、同様に読み出し動作が継続する。

【0056】

本実施形態のポイントとしては、セレクタ8 a、8 bの選択を変えるだけで制御回路の大幅な変更をすることなく逆スキャンを行うLCDを制御できるようにすることができる点にある。従って、逆スキャンを行うLCDとそうでないLCDとで同じ制御回路を用いることができ、製造コストを抑制できる。

【0057】

ところで、デジタルビデオカメラなどの電子ビューファインダ (Electrical View Finder ; EVF) 等は、撮影者自身を撮影するために、EVFを反転させて、撮影レンズ側にEVFの表示領域を向けることができるものがある。この時のEVFの表示は、左右を反転させた鏡像とするものが主流である。図1 (a) と図1 (d) に示した本発明のLCD制御回路によれば、このような鏡像表示にも対応することができる。以下に鏡像表示の制御動作について説明する。

【0058】

映像信号がマルチプレクサ1に入力されると、第1の実施形態と同様にして書き込みラインメモリ2 aに前半の、書き込みラインメモリ3 aに後半の映像信号



が記憶され、それぞれ読み出しラインメモリ2 b、3 bに転送される。今、セレクタ8 aはA-Out1を、セレクタ8 bはB-Out4をそれぞれ選択している。マルチプレクサ9はまずセレクタ8 bの出力から先に読み込み、次にセレクタ8 aの出力を読み込む。従って、データは、読み出しラインメモリ2 bの第400、399、398アドレスのデータ、読み出しラインメモリ3 bの第1、2、3アドレスのデータの順に読み出される。そして、これらデータを基に、順にV1～V6の画素電圧を生成する。これを図9のLCDに印加する。最初、上記と同様に12 a、12 Aの6本のデータ線が選択されている。そして、第1、2、3、798、799、800列目のそれぞれの画素電極には、順に読み出しラインメモリ2 bの第400、399、398アドレスのデータ、読み出しラインメモリ3 bの第3、2、1アドレスを基に生成された画素電圧が印加される。

【0059】

次に12 b、12 Bに接続された6本のデータ線を介して、第4、5、6、797、796、795列目の画素電極に順に読み出しラインメモリ2 bの第400、399、398アドレス（パラレル転送直後は397、396、395アドレス）のデータ、読み出しラインメモリ3 bの第3、2、1アドレス（同6、5、4アドレス）のデータを基に生成された画素電圧が印加される。以下同様にして印加することによって、鏡像表示の制御を行うことができる。

【0060】

通常表示と鏡像表示の切り替えは、例えばEVFを回転させたときに鏡像を表示するための鏡像信号を出力のような出力回路を設けておき、これに応じて制御回路の動作も切り替えるようにしておく。

【0061】

次に、図11のタイミング図を用いて、鏡像表示を行う場合の読み出しラインメモリ2 b、3 bからの読み出し動作をより具体的に説明する。図10のタイミング図とは、読み出しクロック2 b、3 bが入れ替わり、メモリ選択信号の位相が逆転している点で異なっている。まずタイミングAまでで、書き込みラインメモリ2 a、3 aから読み出しラインメモリ2 b、3 bへのパラレル転送が完了しており、読み出しラインメモリ2 b、3 b合わせて1水平ライン分の画素データ



が記憶されているとする。タイミングA、B、Cでシフトクロックがローになると、読み出しラインメモリ3 bに入力される3 b読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ3 bは画素800、799、798のデータを順次出力する。この間、メモリ選択信号は継続的にローになっており、図1 (d) のマルチプレクサ9は読み出しラインメモリ3 bの出力を選択しており、マルチプレクサ9からは画素800、799、798のデータが順次出力される。次にタイミングD、E、Fにおいて、読み出しラインメモリ2 bに入力される2 b読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ2 bは画素1、2、3のデータを出力する。この間、メモリ選択信号は継続的にハイになっており、マルチプレクサ9は読み出しラインメモリ2 bを選択し、このデータを出力する。次にタイミングGにおいて、3 b読み出しクロックがハイになり、同様にマルチプレクサ9からは画素797のデータが出力される。また、図示しないが、タイミングGからは、制御電圧V1、V2、V3、V4、V5、V6として画素800、799、798、1、2、3のデータに応じた電圧がドライバ10より出力される。V1～V6の出力は、シフトクロック6周期の間継続して出力される。以下、同様に読み出し動作が継続する。

【0062】

以上の説明は、理解しやすくするために、それぞれの駆動方法毎に分けて説明したが、それぞれの駆動方法を組み合わせて実施した、ひとつの制御回路とすることによって、

- ①様々な画素数
- ②逆スキャン
- ③鏡像表示

のいずれの表示方法に対してもひとつの制御回路によって対応することができる。即ち、例えば図1 (b) の制御回路はセレクタ8a、8bを省略し、ドライバ5は3段目以降の端子を用いない多段ドライバ10である。

【0063】

また、以上の説明は、理解しやすくするために、モノクロームの表示装置で説



明したが、もちろんカラーの表示装置にも適用できる。この場合は、分割する領域の数とカラー表示の原色の数の積だけメモリ部が必要となる。例えばRGBの3色のデータがあって、水平2領域に分割表示する場合、2組のメモリ部を3色分、即ち合計6組のメモリ部が必要となる。

【0064】

なお、上記の実施形態では、表示装置の例としてLCDを用いて説明したが、この限りではない。例えば有機EL(Electro Luminescence)素子を用いた表示装置であれば、制御信号は、「各画素電極に印加する電圧V1」ではなく、「各画素の有機EL素子に印加する電圧」であるし、陰極線管(CRT; Cathode Ray Tube)を用いた表示装置であれば、「電子加速電圧」などのように読み換えて、様々な表示装置の制御回路として用いることができる。

【0065】

【発明の効果】

上述したように、本発明によれば、シリアルに入力される第1の記憶装置と、その記憶内容がパラレルに転送される第2の記憶装置を備え、第2の記憶装置の所定アドレスからシリアルに出力するメモリ部を有するので、様々な画素数の様々な制御方法LCDに対応することができる。従って、製造コストを低く抑えられることがある。

【0066】

そして、互いに隣り合う部分の分割されたデジタル映像信号が入力される2つのメモリ部では、一方は入力順に、もう一方はさかのぼって順に出力することによって、いわゆる逆スキャンや、鏡像表示を行う表示装置にも対応することができる。

【図面の簡単な説明】

【図1】

本発明の制御回路を示すブロック図である。

【図2】

水平2領域単相表示の表示装置を示す図である。

【図3】



本発明の制御回路のデータ出力のタイミングチャートである。

【図4】

本発明の別の実施形態を示すブロック図である。

【図5】

水平4領域単相表示の表示装置を示す図である。

【図6】

水平2領域3相表示の表示装置を示す図である。

【図7】

本発明の制御回路のデータ出力のタイミングチャートである。

【図8】

逆スキャンを説明するための図である。

【図9】

逆スキャンを行う表示装置を示す図である。

【図10】

本発明の制御回路のデータ出力のタイミングチャートである。

【図11】

本発明の制御回路のデータ出力のタイミングチャートである。

【図12】

従来のアクティブマトリクスLCD及びその制御回路を示す図である。

【図13】

従来の2相表示のLCD及びその制御回路を示す図である。

【図14】

従来の水平2領域単相表示のLCD及びその制御回路を示す図である。

【符号の説明】

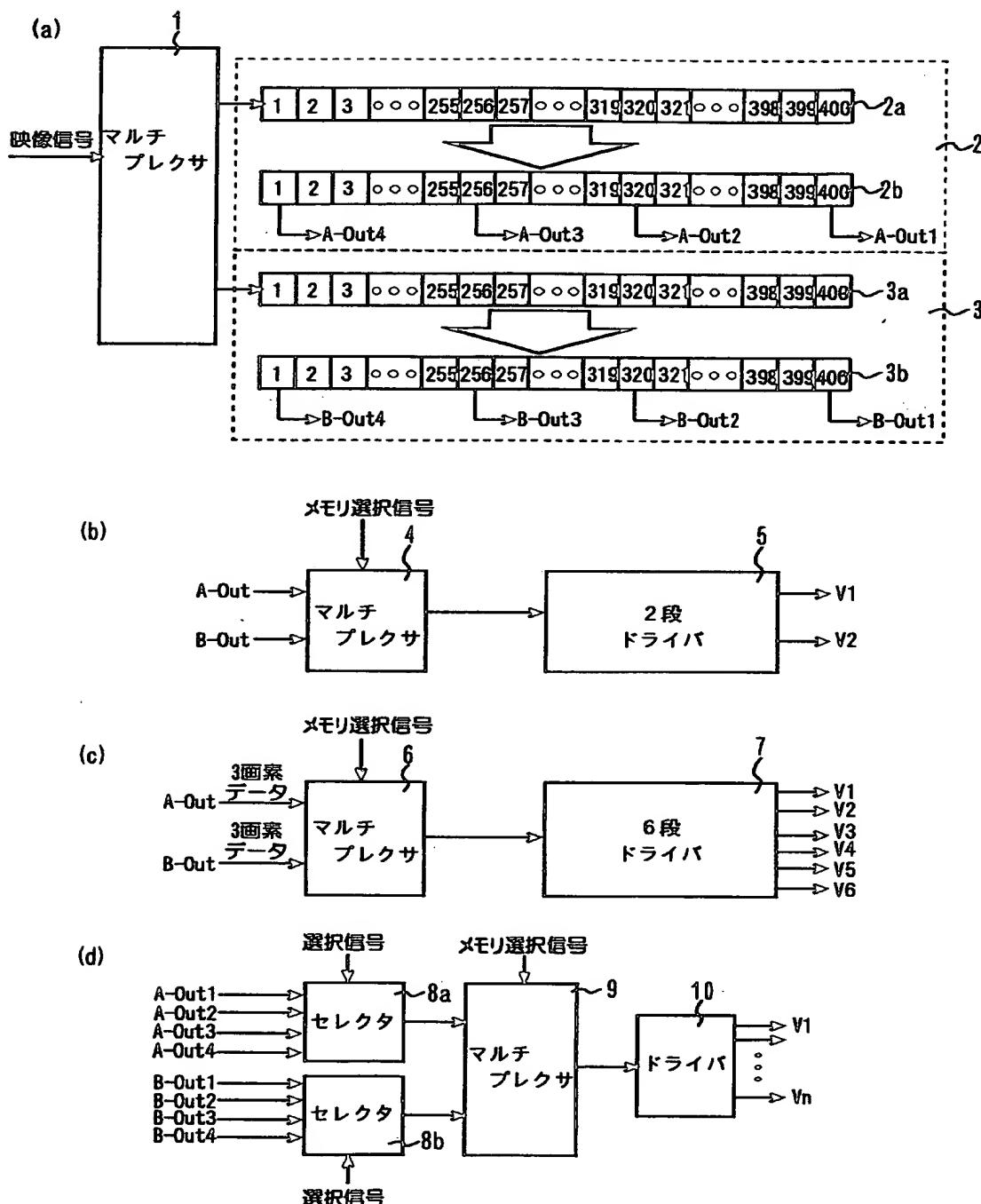
1, 4, 6 : マルチプレクサ、 2, 3, 22, 23, 24, 25 : メモリ部

2a, 3a : 書き込みラインメモリ、 2b, 3b : 読み出しラインメモリ

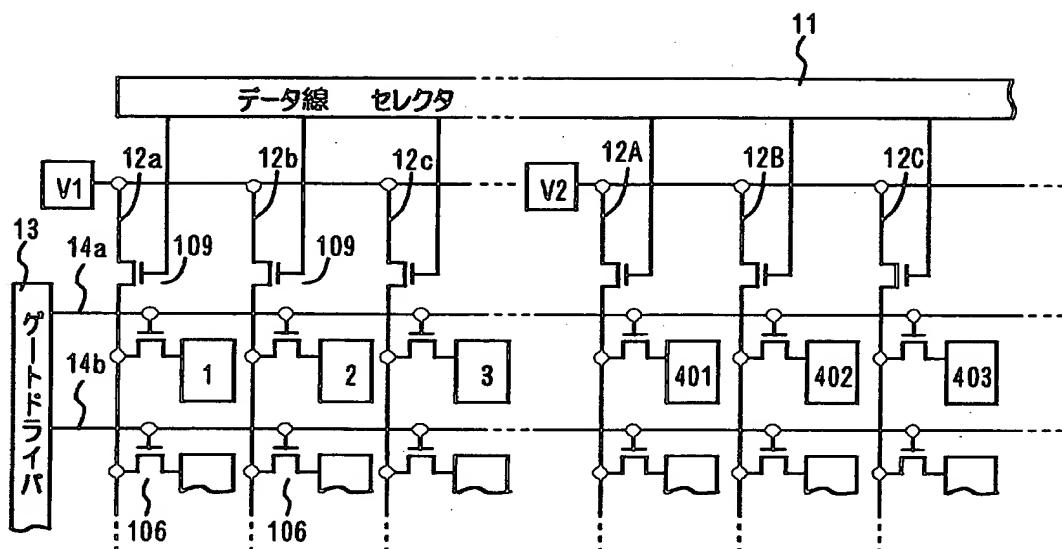
5, 7, 10 : ドライバ

【書類名】 図面

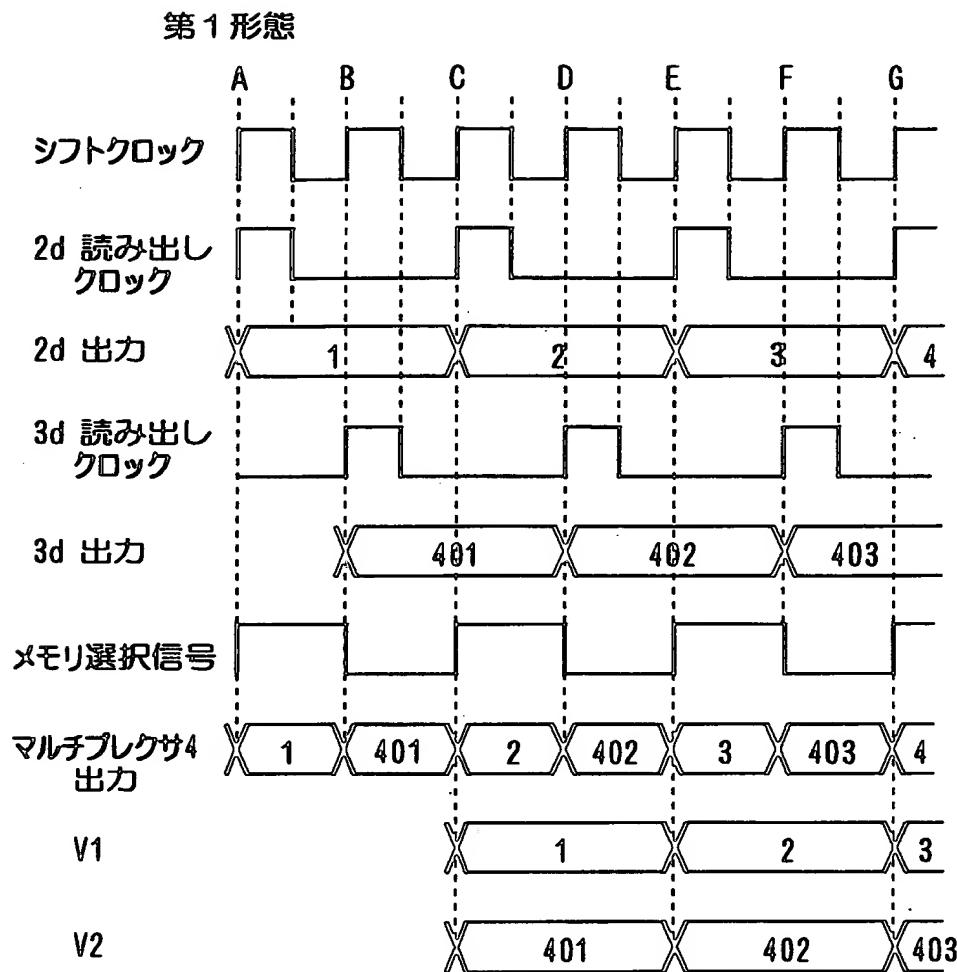
【図1】



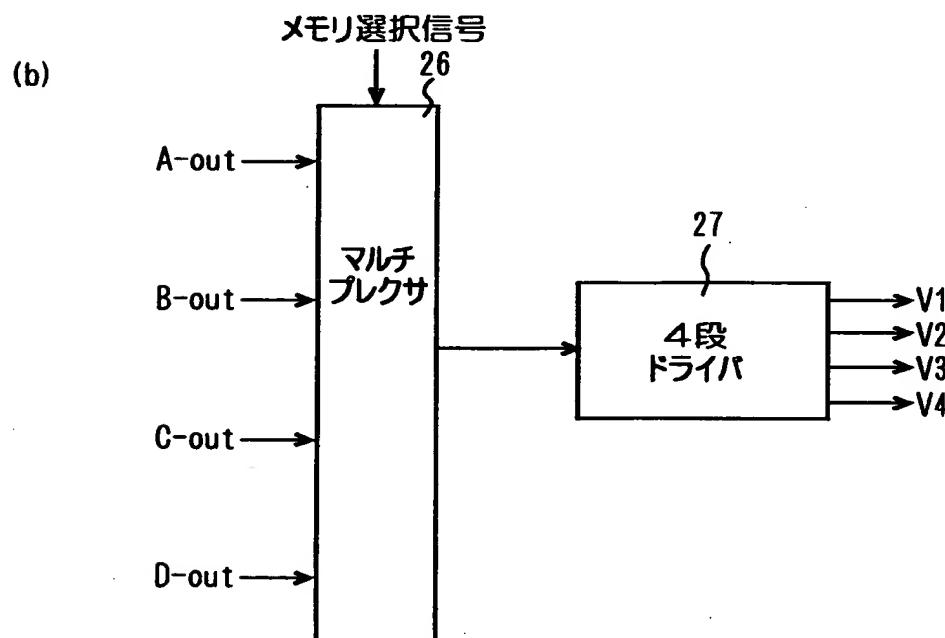
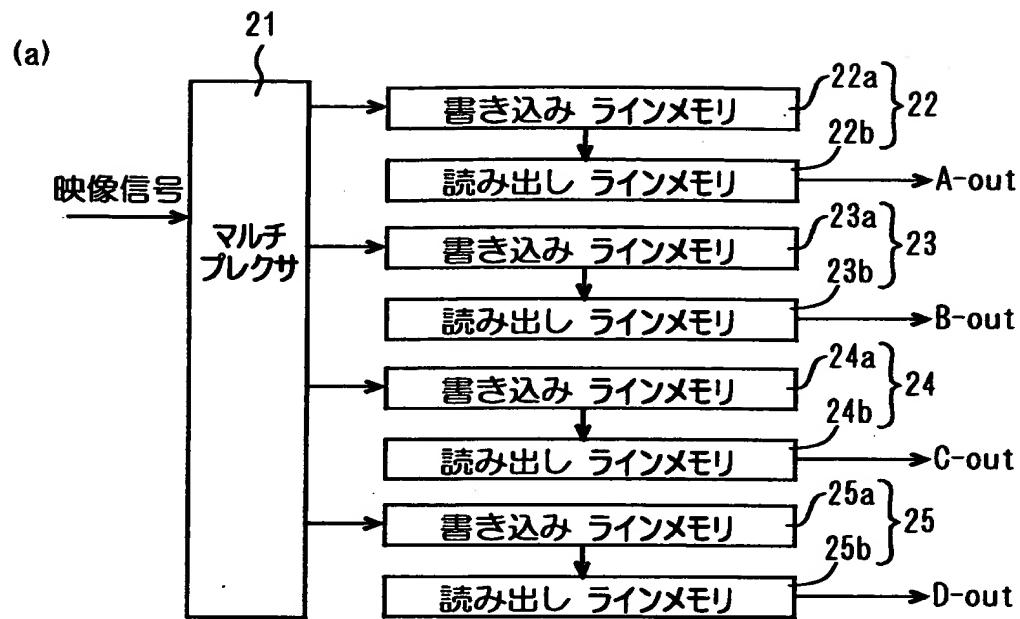
【図2】



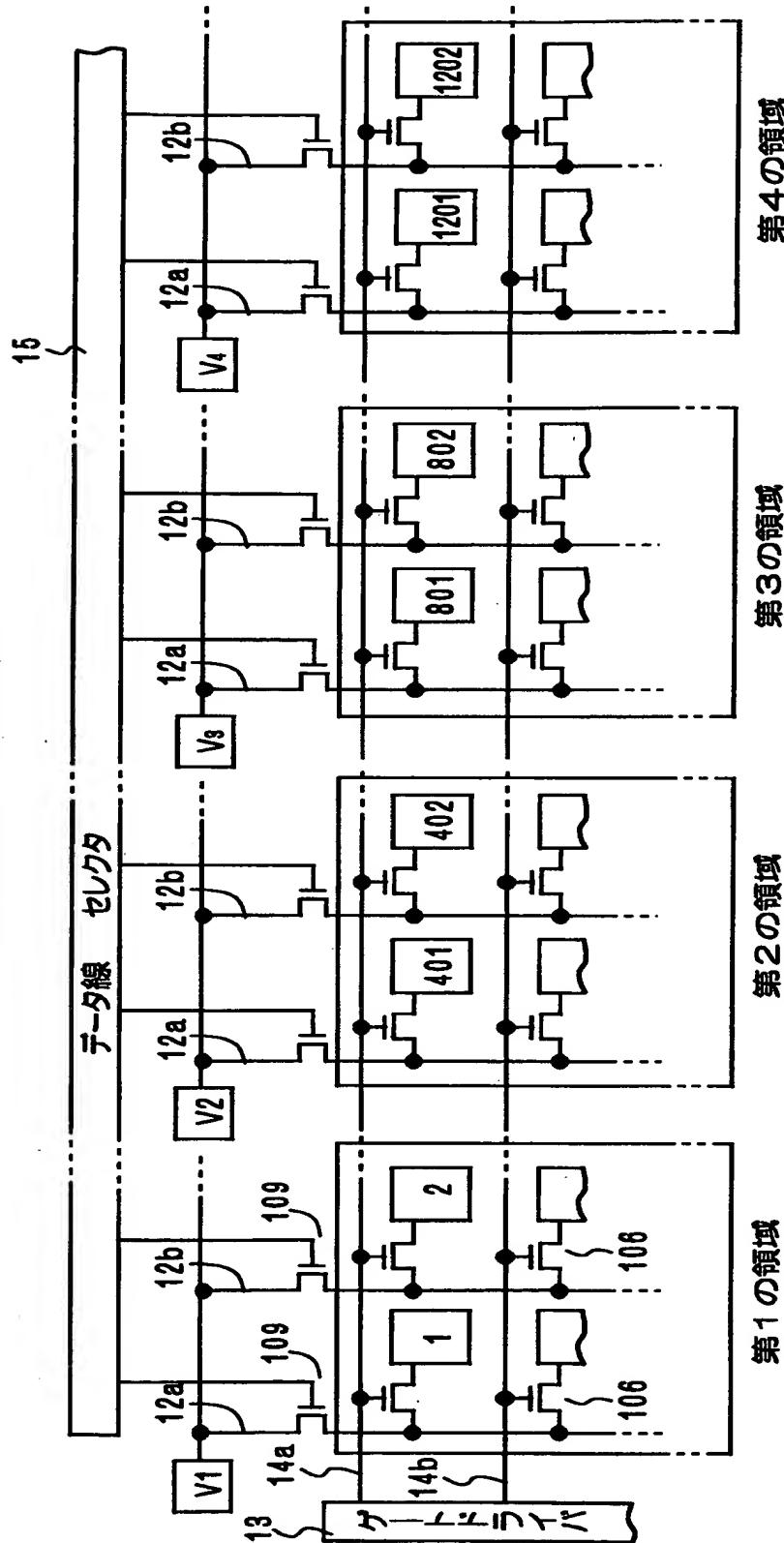
【図3】



【図4】

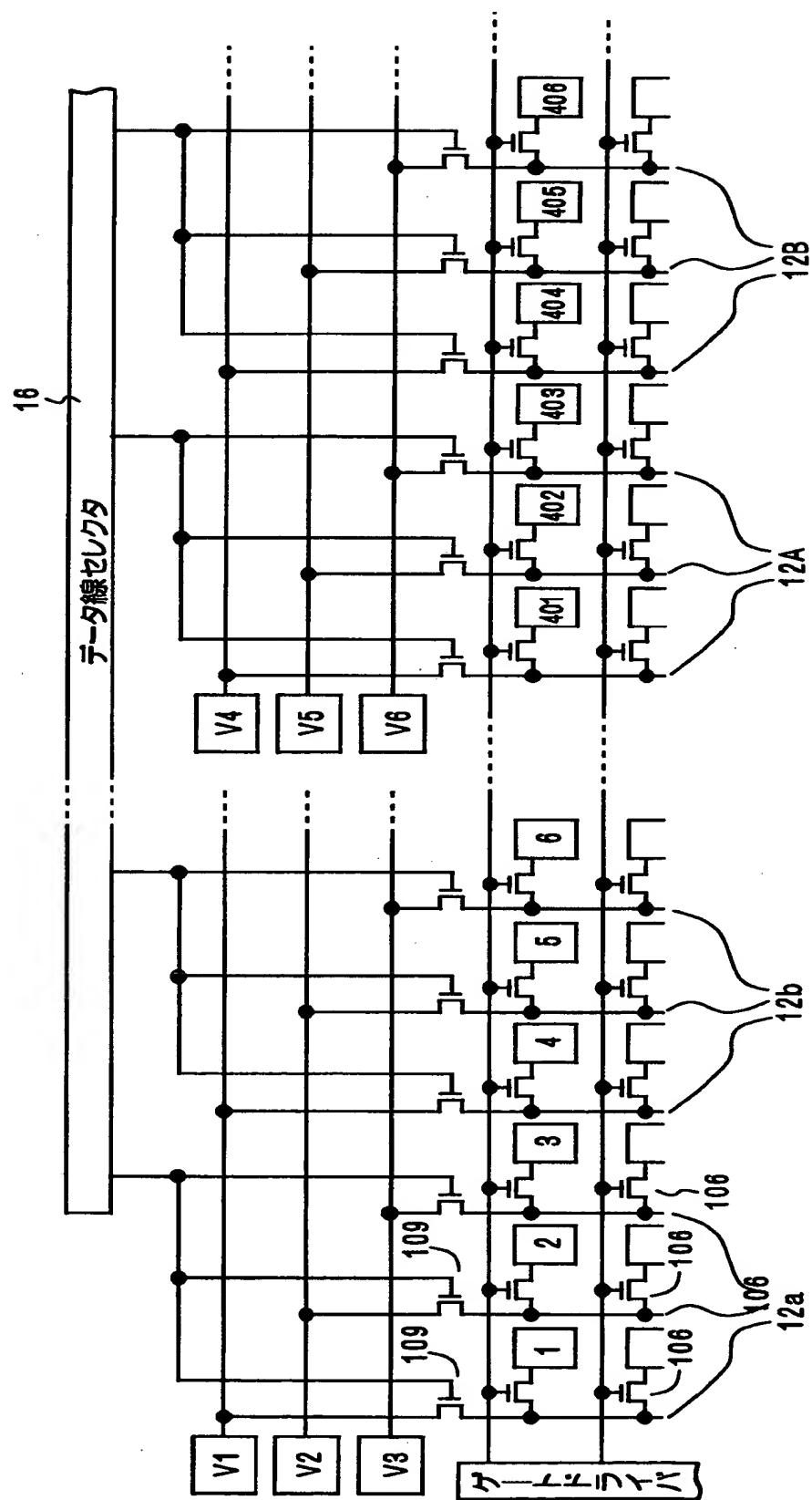


【図5】



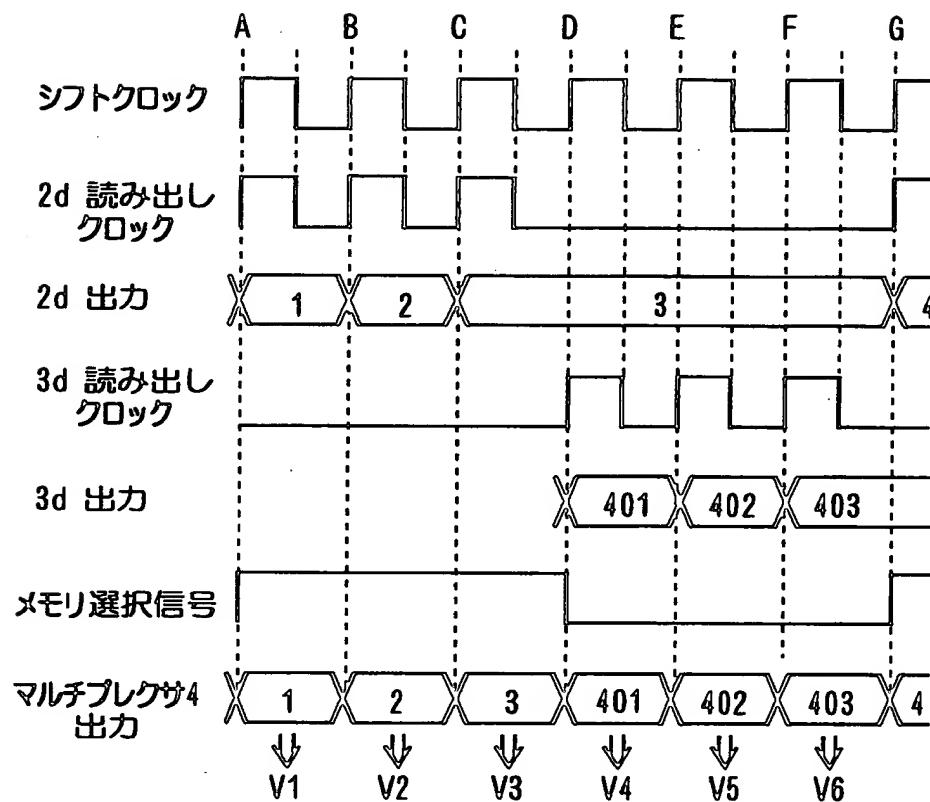
特平11-179938

【図6】





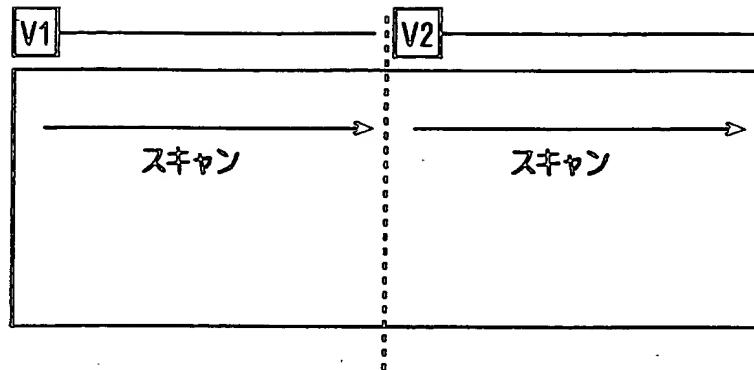
【図7】



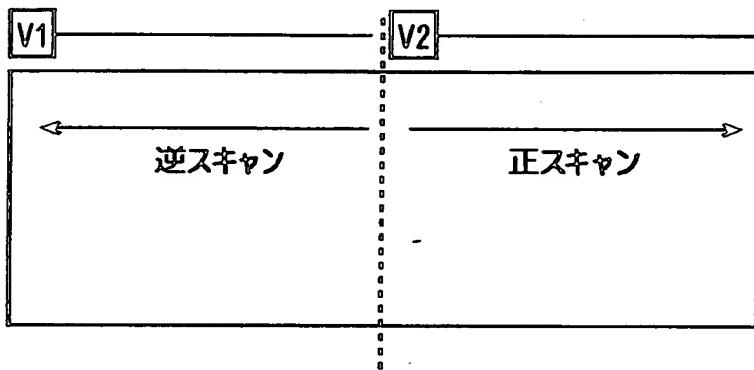


【図8】

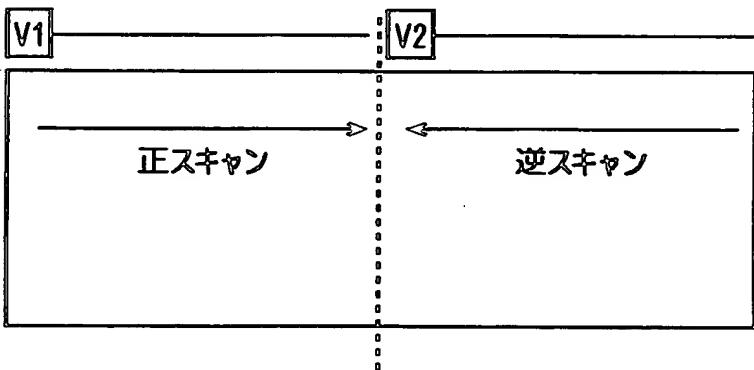
(a)



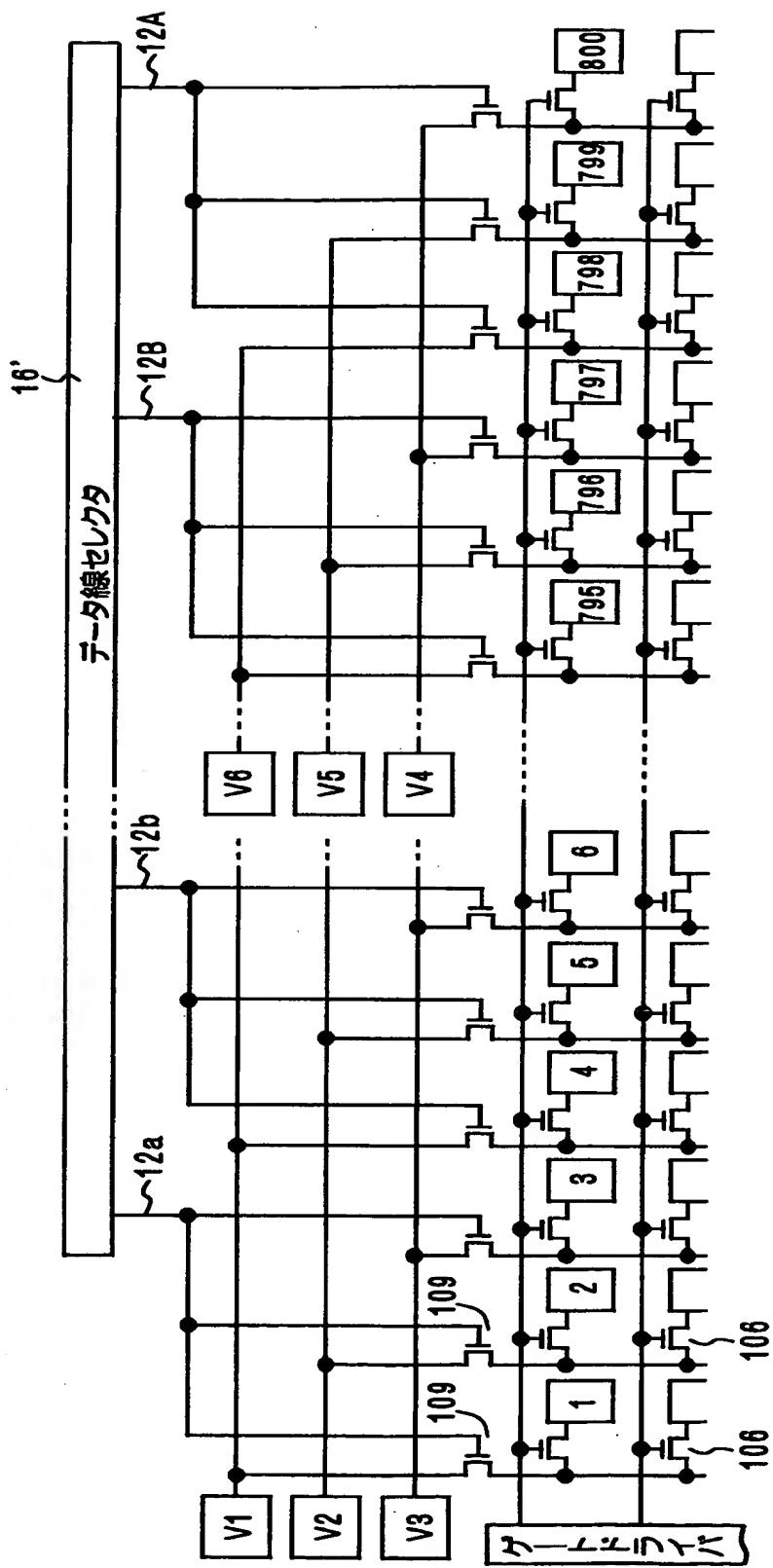
(b)



(c)

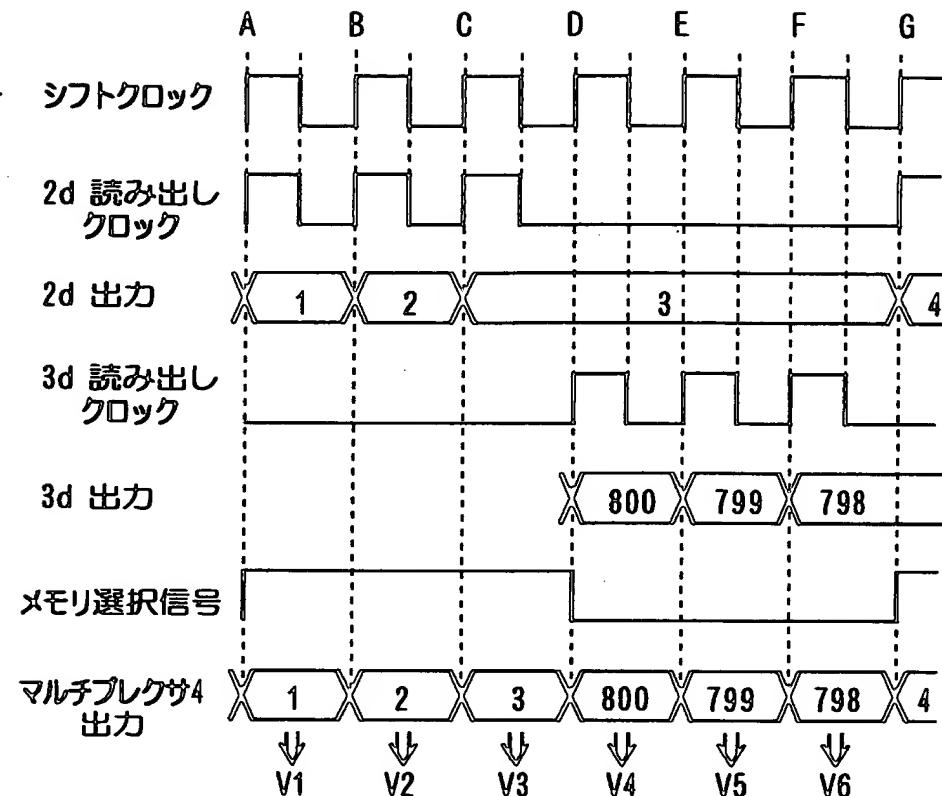


【図9】

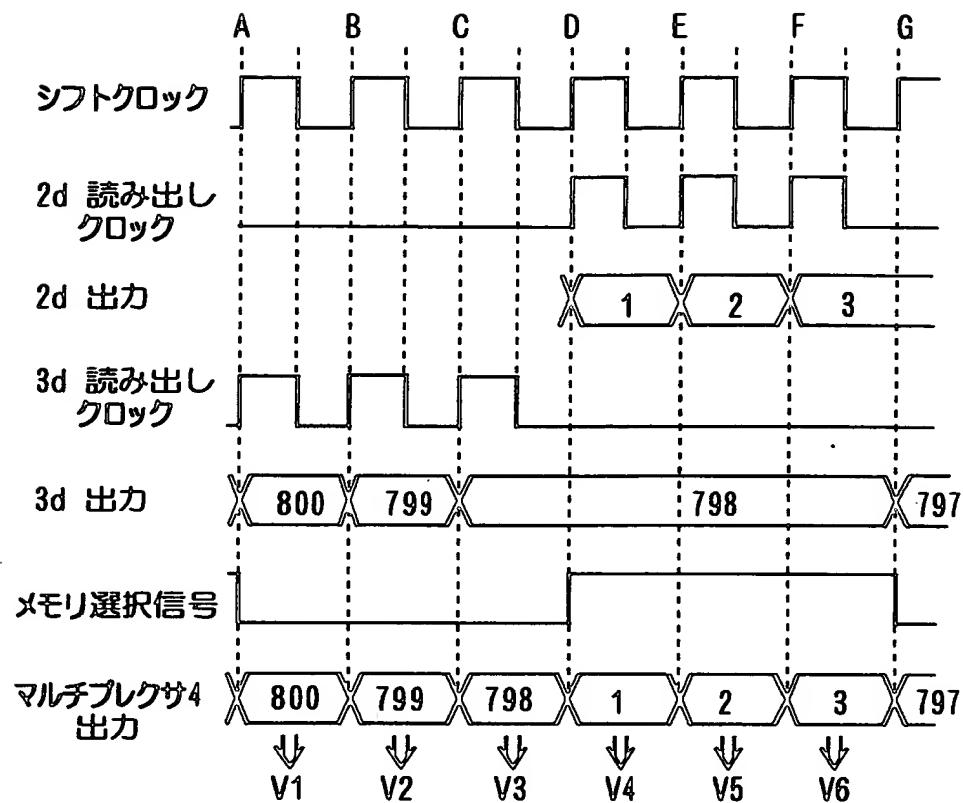




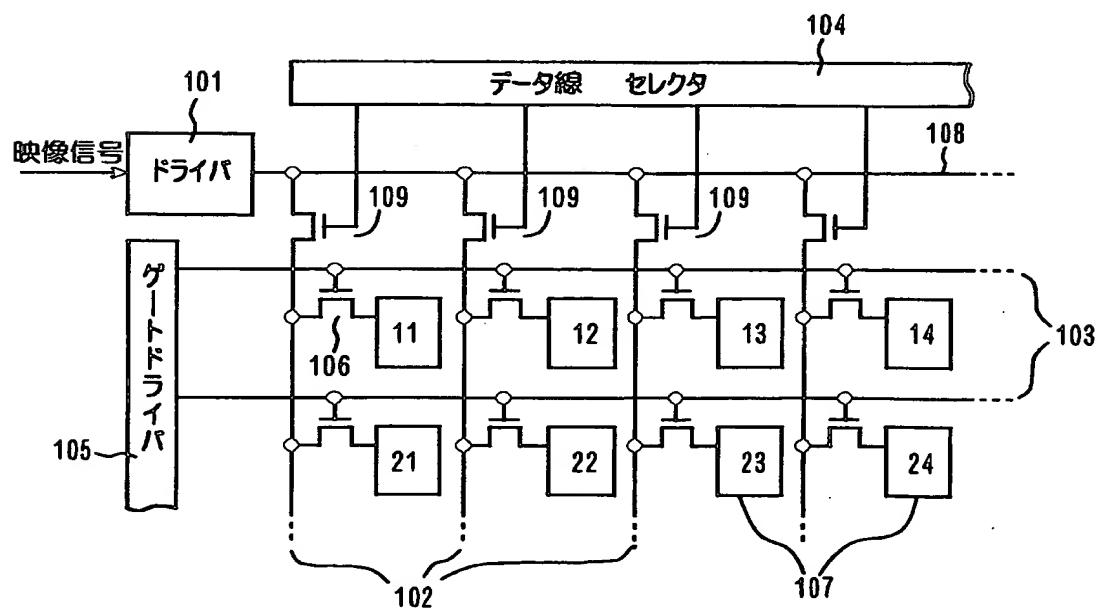
【図10】



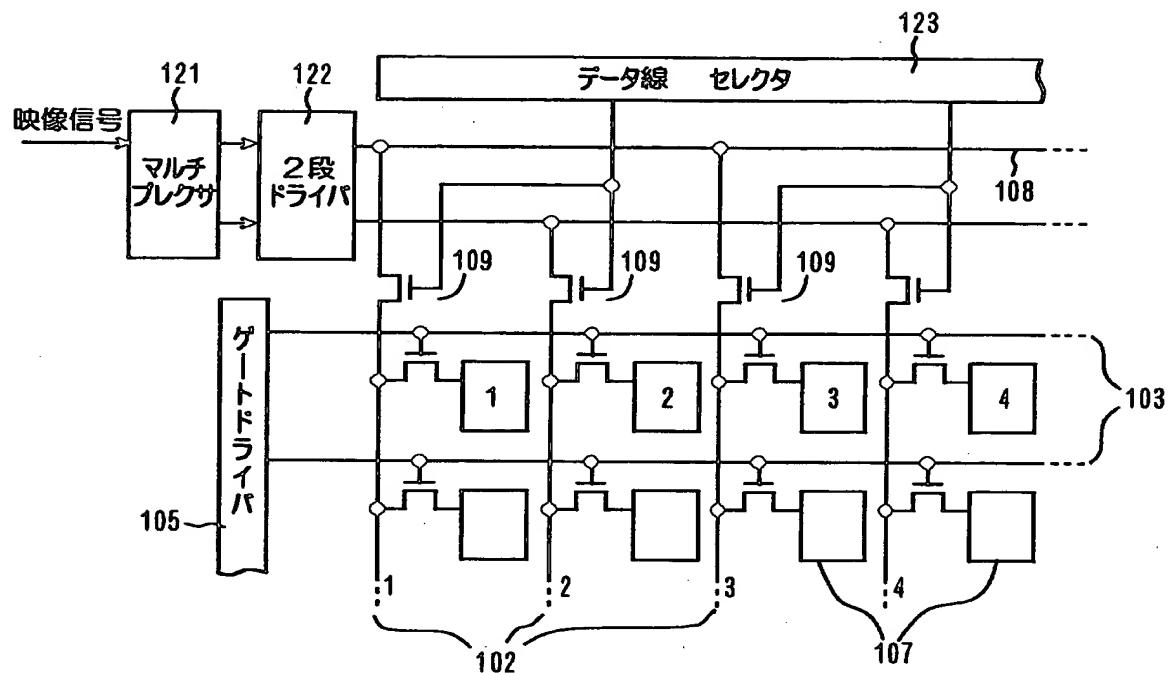
【図11】



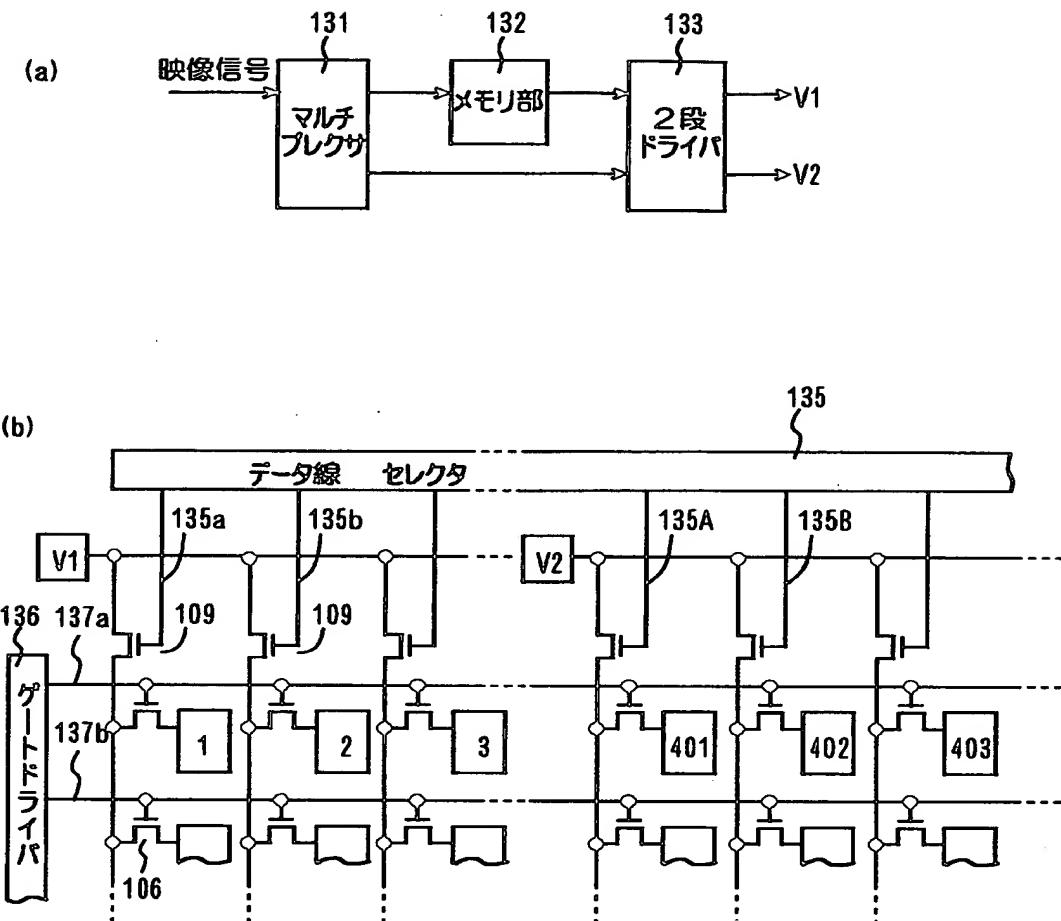
【図12】



【図13】



【図14】



〔書類名〕 要約書

〔要約〕

【課題】 複数の画素数、複数の駆動方法の表示装置に対応できる汎用性の高い表示装置の制御回路を得る。

【解決手段】 映像信号をマルチプレクサ1によって分割制御する画面の領域毎に分割し、それぞれを複数のメモリ部2、3に一時保存する。メモリ部はシリアルに入力される書き込みラインメモリと、それがパラレルに転送される読み出しラインメモリを有し、読み出しラインメモリからはシリアルに出力される。複数のメモリ部の出力をドライバ5で変換し、表示装置がLCDであれば画素電圧として出力する。

【選択図】 図1



出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社